

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-338431  
(43)Date of publication of application : 10.12.1999

(51)Int.Cl.

G09G 3/36  
G02F 1/133  
G09G 3/20  
G11C 19/00

(21)Application number : 10-144691

(71)Applicant : SHARP CORP

(22)Date of filing : 26.05.1998

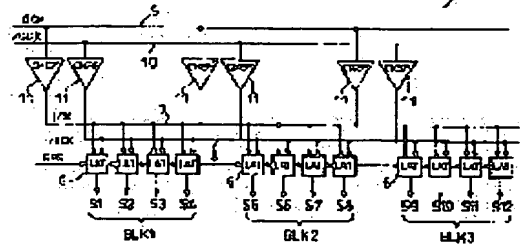
(72)Inventor : KUBOTA YASUSHI  
SHIRAKI ICHIRO  
MAEDA KAZUHIRO

## (54) SHIFT REGISTER CIRCUIT AND IMAGE DISPLAY DEVICE

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a shift register circuit capable of a stable operation over all steps by suppressing the delay of a clock signal and the slippage of an output timing between blocks, and to improve a display quality of a device by applying the shift resistor circuit to an image display device.

**SOLUTION:** Clock buffer circuits 11, 11 are arranged corresponding to plural latch circuit groups (BLK1, BLK2,...). The clock buffer circuits 11, 11 have a function to generate local clock signals LCK./LCK to be supplied to latch circuits 6, from inputted global clock signals GCK./GCK. Local clock signal lines 7, 8, installed corresponding to each latch circuit group, are connected mutually among each latch circuit group. Hereby, the clock signals are leveled mutually among each latch circuit group. In an image display device in which a driving circuit and a display region are formed integrally, a data signal line driving circuit, for example, is formed by the shift register circuit 5.



## LEGAL STATUS

[Date of request for examination] 12.01.2001  
[Date of sending the examiner's decision of rejection]  
[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]  
[Date of final disposal for application]  
[Patent number] 3345349  
[Date of registration] 30.08.2002  
[Number of appeal against examiner's decision of rejection]  
[Date of requesting appeal against examiner's decision of rejection]  
[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

**THIS PAGE BLANK (USPTO)**

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-338431

(43) 公開日 平成11年(1999)12月10日

(51) Int.Cl. <sup>6</sup>	識別記号	F I
G 0 9 G 3/36		G 0 9 G 3/36
G 0 2 F 1/133	5 5 0	G 0 2 F 1/133 5 5 0
G 0 9 G 3/20	6 2 3	G 0 9 G 3/20 6 2 3 H
		6 2 3 V
G 1 1 C 19/00		G 1 1 C 19/00 K

審査請求 未請求 請求項の数 9 O L (全 18 頁)

(21) 出願番号 特願平10-144691

(22) 出願日 平成10年(1998) 5月26日

(71) 出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72) 発明者 久保田 靖

大阪府大阪市阿倍野区長池町22番22号 シ  
ャープ株式会社内

(72) 発明者 白木 一郎

大阪府大阪市阿倍野区長池町22番22号 シ  
ャープ株式会社内

(72) 発明者 前田 和宏

大阪府大阪市阿倍野区長池町22番22号 シ  
ャープ株式会社内

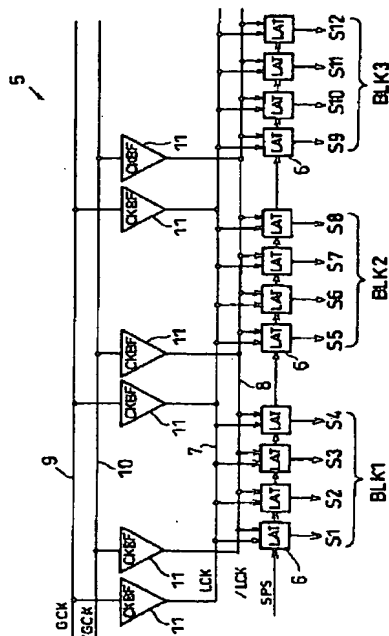
(74) 代理人 弁理士 原 設三

(54) 【発明の名称】 シフトレジスタ回路および画像表示装置

(57) 【要約】

【課題】 クロック信号の遅延およびブロック間での出力タイミングのずれを抑え、全段に亘って安定した動作が可能なシフトレジスタ回路5を提供する。上記シフトレジスタ回路5を画像表示装置に適用し、装置の表示品位を向上させる。

【解決手段】 クロックバッファ回路11・11が複数のラッチ回路群(BLK1・BLK2・…)に対応して配置される。クロックバッファ回路11・11は、入力されるグローバルクロック信号GCK・/GCKからラッチ回路6に供給するローカルクロック信号LCK・/LCKを生成する機能を有している。そして、各ラッチ回路群に対応して設けられるローカルクロック信号線7・8を、各ラッチ回路群間で相互に接続する。これにより、各ラッチ回路群間でクロック信号が互いに平均化される。また、駆動回路と表示領域とを一体形成した画像表示装置において、例えばデータ信号線駆動回路を上記のシフトレジスタ回路5で構成する。



## 【特許請求の範囲】

【請求項1】クロック信号に同期してパルス信号を伝送する複数のラッチ回路と、

基準クロック信号線を介して得られる基準クロック信号に基づいてクロック信号を生成すると共に、生成したクロック信号をクロック信号線を介して各ラッチ回路に供給するクロックバッファ回路とを備え、

複数のラッチ回路からなるラッチ回路群が複数構成されており、上記クロックバッファ回路が各ラッチ回路群に対応して設けられたシフトレジスタ回路であって、上記クロック信号線は、各ラッチ回路群間で相互に接続されていることを特徴とするシフトレジスタ回路。

【請求項2】上記クロック信号線は、互いに位相が逆となるクロック信号をそれぞれ伝送する第1および第2の信号線からなり、

上記第1の信号線と上記第2の信号線とは、入出力の向きが互いに逆向きとなるように、かつ、並列に配置された2個のインバータ回路で接続されていることを特徴とする請求項1に記載のシフトレジスタ回路。

【請求項3】上記クロックバッファ回路は、2個のバッファ回路からなり、

上記2個のバッファ回路のうちの一方が、インバータ回路を兼ねていることを特徴とする請求項1または2に記載のシフトレジスタ回路。

【請求項4】外部からの入力信号を電圧シフトして基準クロック信号線に供給する昇圧手段をさらに備えていることを特徴とする請求項1ないし3のいずれかに記載のシフトレジスタ回路。

【請求項5】上記昇圧手段からの出力信号に基づいて基準クロック信号線を駆動する駆動バッファ回路をさらに備え、

上記昇圧手段および上記駆動バッファ回路と同一基板上に形成されていることを特徴とする請求項4に記載のシフトレジスタ回路。

【請求項6】マトリクス状に配置された複数の画素と、データ信号線を介して各画素に映像データを供給するデータ信号線駆動回路と、

走査信号線を介して各画素に走査信号を供給する走査信号線駆動回路とを備えた画像表示装置において、

上記データ信号線駆動回路および上記走査信号線駆動回路の少なくとも一方が、請求項1ないし5のいずれかに記載のシフトレジスタ回路を有していることを特徴とする画像表示装置。

【請求項7】上記データ信号線駆動回路と上記走査信号線駆動回路とのうち少なくとも一方が、上記画素と同一基板上に形成されていることを特徴とする請求項6に記載の画像表示装置。

【請求項8】上記データ信号線駆動回路、上記走査信号線駆動回路、および、上記画素は、それぞれ能動素子を有しており、

上記能動素子が、多結晶シリコン薄膜トランジスタであることを特徴とする請求項7に記載の画像表示装置。

【請求項9】上記能動素子が、ガラス基板上に600℃以下のプロセスで形成されていることを特徴とする請求項8に記載の画像表示装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、複数のブロックに分割されて設けられ、入力されたデジタル信号に基づいてパルス信号を出力するシフトレジスタ回路に係り、特に、各ブロックごとに出力信号のタイミングがずれるのを抑え、安定した出力信号を得ることのできるシフトレジスタ回路およびそれを用いた画像表示装置に関するものである。

## 【0002】

【従来の技術】従来の液晶表示装置の一つとして、アクティブマトリクス駆動方式の液晶表示装置が知られている。この液晶表示装置は、図10に示すように、画素アレイ1と、データ信号線駆動回路（ソースドライバ）52と走査信号線駆動回路（ゲートドライバ）53とからなっている。画素アレイ1には、互いに交差する多数のデータ信号線 $SL_1 \cdot SL_2 \dots$ および多数の走査信号線 $GL_1 \cdot GL_2 \dots$ が設けられており、隣接する2つのデータ信号線 $SL_i \cdot SL_{i+1}$ （ $i$ は正数）と、隣接する2つの走査信号線 $GL_j \cdot GL_{j+1}$ （ $j$ は正数）とで包囲された部分に、画素（図中、PIX）4…がマトリクス状に設けられている。

【0003】データ信号線駆動回路52は、クロック信号CKS等のタイミング信号に同期して、入力された映像信号DATをサンプリングし、必要に応じて増幅して各データ信号線 $SL_i$ に書き込むようになっている。一方、走査信号線駆動回路53は、クロック信号CKG等のタイミング信号に同期して、走査信号線 $GL_i$ を順次選択し、画素4内に設けられたトランジスタSW（図11参照）の開閉を制御するようになっている。これにより、各データ信号線 $SL_i$ に出力された映像信号（データ）は、各画素4に書き込まれると共に保持される。

【0004】画素4は、図11に示すように、スイッチング素子である電界効果トランジスタ（以下、単にトランジスタと称する）SWと、液晶容量 $C_L$ を含む画素容量 $C_p$ （必要に応じて補助容量 $C_a$ が付加される）とによって構成される。トランジスタSWのドレインおよびソースを介して、データ信号線 $SL_i$ と画素容量 $C_p$ の一方の電極とが接続されている。トランジスタSWのゲートは、走査信号線 $GL_j$ に接続され、画素容量 $C_p$ の他方の電極は、全画素に共通の共通電極に接続されている。なお、上記の共通電極は、画素4がそれぞれ有する図示しない画素電極と液晶層を介して対向するように設けられている。

【0005】このような画素4において、各液晶容量 $C_L$

に電圧が印加されると、液晶の透過率または反射率が変調され、画素アレイ1…に映像信号DATに応じた画像が表示される。

【0006】ところで、映像データをデータ信号線に書き込む際の、データ信号線SL<sub>i</sub>の駆動方式としては、点順次駆動方式と線順次駆動方式とがある。以下に、点順次駆動方式について説明する。

【0007】図12は、データ信号線駆動回路52の構成例を示している。シフトレジスタ回路(図中SR)61は、バッファ回路62を介してサンプリング回路63に接続されている。バッファ回路62は、シフトレジスタ回路61からの信号を取り込んで、保持・増幅すると共に、必要に応じて反転信号を生成し、サンプリング回路63に出力するものであり、インバータ62a~62dで構成されている。また、サンプリング回路63は、Pチャネル型のトランジスタ63aとNチャネル型のトランジスタ63bとが並列に接続されて構成されている。

【0008】インバータ62a・62bは直列に接続されており、これとインバータ62cとが並列に接続されている。そして、シフトレジスタ回路61からの出力信号はインバータ62d・62a・62bを順に介してトランジスタ63aのゲートに入力されると共に、インバータ62d・62cを順に介してトランジスタ63bのゲートに入力される。

【0009】点順次駆動方式では、シフトレジスタ回路61の各段の出力パルスに同期させてサンプリング回路63を開閉することにより、映像信号線に入力された映像信号DATを各データ信号線SL<sub>i</sub>に書き込むようになっている。

【0010】なお、シフトレジスタ回路61の動作周波数には限界があるため、表示装置の表示容量が非常に大きい場合に対応できない場合がある。

【0011】そこで、例えば特開昭63-115198号公報では、分割回路によって内部シフトクロックに同期して映像データを時分割し、この時分割された映像データを内部シフトクロックの1周期分取り込み、これらを内部シフトクロックに同期して同時にバラレルデータとして出力し、それぞれ対応するサンプルホールド回路に取り込むようにしている。これにより、シフトレジスタ回路の動作速度およびサンプルホールド回路のサンプリングスイッチの動作速度を、外部シフトクロック周波数の1/分割数とすることができ、低速のシフトレジスタ回路を用いても大容量の表示装置に対応可能となっている。

【0012】一方、図13は、走査信号線駆動回路53の構成例を示している。同図に示すように、隣接するシフトレジスタ回路61からの出力信号は、ともにNANDゲート64に入力され、ここで論理積否定がとられる。さらに、NANDゲート64からの出力信号と外部

からのパルス幅制御信号GPSとがNORゲート65に入力され、ここで論理和否定がとられる。NORゲート65からの出力信号は、インバータ66・67によって反転および所望のパルス幅に増幅され、各走査信号線GL<sub>i</sub>に出力される。

【0013】以上で説明したデータ信号線駆動回路52および走査信号線駆動回路53におけるシフトレジスタ回路61は、図14に示すように、クロックドインバータ71・72とインバータ73とからなるラッチ回路70が、直列かつ多段に接続されることにより構成される。

【0014】なお、図14は、一方向にのみ走査できるシフトレジスタ回路61の構成例であるが、双方向に走査できるシフトレジスタ回路61を構成することも可能である。いずれのシフトレジスタ回路61もハーフラッチ回路で構成され、クロック信号の立ち上がり、および、立ち下がりのいずれか一方でのみ信号をラッチし、クロック信号の1周期分のパルス幅を出力するようになっている。

【0015】

【発明が解決しようとする課題】ところで、従来では、図15に示すように、シフトレジスタ回路61の各ラッチ回路(図中LAT)70へは、外部からのクロック信号CK・/CKが直接入力されていた。なお、クロック信号CK・/CKは、互いに位相が反転したものであり、以下、同様の表記はこれと同内容であることを示す。

【0016】ここで、クロック信号CK・/CKと、ラッチ回路70から出力される出力パルスSk(kは正数)の波形とを図16に示す。同図に示すように、クロック信号CK・/CKは、外部より直接入力されているので波形は常に一定であり、また、各出力パルスS3~S6の出力タイミングも一定である。

【0017】一方、近年、機器の低消費電力化や低EMI化(不要輻射対策)のために、入出力インターフェースの低電圧化が要求されるようになってきている。特に、駆動回路一体型の画像表示装置においては、近年、その駆動回路に、単結晶シリコントランジスタよりも動作電圧の高い多結晶シリコン薄膜トランジスタが用いられており、駆動回路の動作電圧が高くなっている。そのため、入出力信号の低電圧化を図るためには、駆動回路側に信号昇圧回路(以下、レベルシフタ回路と称する)を搭載する必要が出てきている。この場合、図17に示すように、入力信号の信号振幅をレベルシフタ回路(図中LSF)74によって増大させた後、上記信号をバッファ回路(図中BF1)75またはバッファ回路(図中BF2)76を介してラッチ回路70に供給する構成がとられる。

【0018】このように、各レベルシフタ回路74の直後にのみバッファ回路75・76を配置する構成では、

10

20

30

40

50

駆動回路全体に互ってクロック信号を分配するためには、バッファ回路75・76を駆動力の非常に大きなもので構成せざるを得ない。この場合、バッファ回路75・76ひいては駆動回路自体が大型化する。

【0019】さらに、多結晶シリコン薄膜トランジスタで構成される駆動力の小さいバッファ回路75・76を用いた場合、クロック配線での信号遅延が大きくなり、クロック信号と映像信号とのタイミングずれ等によって、表示に悪影響を及ぼす恐れがある。

【0020】ここで、図18は、図17に示すシフトレジスタ回路61における信号波形の一例を示している。同図に示すように、バッファ回路75・76の駆動力とクロック信号CK・/CKの遅延とに起因して、出力パルスS3～S6の波形はかなり鈍っており、微妙な特性バラツキによって表示に悪影響を及ぼすことが懸念される。

【0021】これに対して、図19に示すように、シフトレジスタ回路61を複数のブロック（同図ではBLK1～BLK3）に分割し、各ブロック毎にバッファ回路77・78（図中CKBF1・CKBF2）を分散配置すると共に、各ブロック毎に独立してローカルクロック信号線を配置することにより、クロック信号線での遅延を抑える方法が考えられる。しかし、この場合には、バッファ回路77・78毎に特性バラツキ（駆動力のバラツキ）があると、ブロック毎にバッファ回路以降のクロック信号（ローカルクロック信号）LCK・/LCKのタイミングが変わり、ブロックの境界で表示が不連続になる等の表示不良を招く恐れがある。

【0022】ここで、図20は、図19に示すシフトレジスタ回路61における信号波形の一例を示している。同図に示すように、バッファ回路77・78の特性バラツキによって、クロック信号のタイミングがブロック毎に異なる場合がある。この場合には、シフトレジスタ回路61の出力パルスSも、ブロック間でタイミングがずれることになる（出力パルスS4・S5参照）。

【0023】本発明は、上記の問題点を解決するためになされたもので、その目的は、クロック信号の遅延およびブロック間での出力タイミングのずれを抑え、全段に互って安定した動作が可能なシフトレジスタ回路、および、当該シフトレジスタ回路を用いて表示品位を向上し得る画像表示装置を提供することにある。

【0024】

【課題を解決するための手段】請求項1の発明に係るシフトレジスタ回路は、上記の課題を解決するために、クロック信号に同期してパルス信号を伝送する複数のラッチ回路と、基準クロック信号線を介して得られる基準クロック信号に基づいてクロック信号を生成すると共に、生成したクロック信号をクロック信号線を介して各ラッチ回路に供給するクロックバッファ回路とを備え、複数のラッチ回路からなるラッチ回路群が複数構成されてお

り、上記クロックバッファ回路が各ラッチ回路群に対応して設けられたシフトレジスタ回路であって、上記クロック信号線は、各ラッチ回路群間で相互に接続されていることを特徴としている。

【0025】上記の構成によれば、各ラッチ回路群に対応して設けられたクロックバッファ回路が、基準クロック信号線を介して得られる基準クロック信号に基づいてクロック信号を生成する。そして、生成されたクロック信号は、クロックバッファ回路からクロック信号線を介して各ラッチ回路に供給される。

【0026】ここで、クロック信号線は、各ラッチ回路群間で相互に接続されているので、各ラッチ回路群間でクロック信号が互いに加算され平均化される。これにより、各ラッチ回路群毎に、クロックバッファ回路の特性のバラツキによって生じるクロック信号の遅延および波形歪みのバラツキが平均化される。

【0027】したがって、全段に互ってほぼ同一波形のクロック信号を得ることができると共に、クロック信号のタイミングずれ（特に、各ラッチ回路群間の境界におけるタイミングずれ）を確実に抑えることができる。その結果、シフトレジスタ回路全段に互って、一定のタイミングで出力される安定した出力パルスを得ることが可能となる。

【0028】請求項2の発明に係るシフトレジスタ回路は、上記の課題を解決するために、請求項1の構成において、上記クロック信号線は、互いに位相が逆となるクロック信号をそれぞれ伝送する第1および第2の信号線からなり、上記第1の信号線と上記第2の信号線とは、入出力の向きが互いに逆向きとなるように、かつ、並列に配置された2個のインバータ回路で接続されていることを特徴としている。

【0029】上記の構成によれば、第1および第2の信号線間に設けられた2個のインバータ回路によって、第1および第2の信号線間で、2個のクロック信号が常に互いに逆位相となるように補償し合う。したがって、クロック信号とその反転信号とを確実にかつ常に安定して得ることができる。

【0030】請求項3の発明に係るシフトレジスタ回路は、上記の課題を解決するために、請求項1または2の構成において、上記クロックバッファ回路は、2個のバッファ回路からなり、上記2個のバッファ回路のうちの一方が、インバータ回路を兼ねていることを特徴としている。

【0031】上記の構成によれば、例えば各バッファ回路に一位相の基準クロック信号を供給すれば、各バッファ回路から互いに逆位相のクロック信号がそれぞれ得られる。したがって、この場合、基準クロック信号線を各バッファ回路に対応して設けなくても済み、各バッファ回路に共通して1本だけ設けるようにすることが可能になる。このように、基準クロック信号線の本数（入力信

号の数)を削減できるので、装置の小型化および低コスト化を図ることができる。

【0032】請求項4の発明に係るシフトレジスタ回路は、上記の課題を解決するために、請求項1ないし3のいずれかの構成に加えて、外部からの入力信号を電圧シフトして基準クロック信号線に供給する昇圧手段をさらに備えていることを特徴としている。

【0033】上記の構成によれば、昇圧手段を備えているので、入力信号の電圧とシフトレジスタ回路の動作電圧とが異なる場合にも対応することが可能になる。また、昇圧手段を備えていることで入力信号の低電圧化を図ることができるので、シフトレジスタ回路全体として低消費電力化を図ることができる。

【0034】請求項5の発明に係るシフトレジスタ回路は、上記の課題を解決するために、請求項4の構成に加えて、上記昇圧手段からの出力信号に基づいて基準クロック信号線を駆動する駆動バッファ回路をさらに備え、上記昇圧手段および上記駆動バッファ回路と同一基板上に形成されていることを特徴としている。

【0035】上記の構成によれば、基準クロック信号線は、シフトレジスタ回路と同一基板上の駆動バッファによって駆動されるので、各ラッチ回路群ごとに信号遅延が生じやすくなるが、クロック信号線が各ラッチ回路群間で相互に接続されている構成(請求項1の構成)により、クロック信号の信号遅延やタイミングずれの発生が抑えられる。したがって、昇圧手段および駆動バッファ回路をシフトレジスタ回路と同一基板上に備えた構成であっても、シフトレジスタ回路全段に亘って、一定のタイミングで安定した出力パルスを実際に得ることができる。

【0036】請求項6の発明に係る画像表示装置は、上記の課題を解決するために、マトリクス状に配置された複数の画素と、データ信号線を介して各画素に映像データを供給するデータ信号線駆動回路と、走査信号線を介して各画素に走査信号を供給する走査信号線駆動回路とを備えた画像表示装置において、上記データ信号線駆動回路および上記走査信号線駆動回路の少なくとも一方が、請求項1ないし5のいずれかに記載のシフトレジスタ回路を有していることを特徴としている。

【0037】上記の構成によれば、請求項1ないし5のいずれかに記載のシフトレジスタ回路を、データ信号線駆動回路および/または走査信号線駆動回路に適用しているので、クロック信号と映像データまたは走査信号とのタイミングずれを抑えることができる。これにより、データ信号線駆動回路および/または走査信号線駆動回路から、一定のタイミングで映像データおよび/または走査信号を安定して出力させることができ、その結果、良好な画像を表示させることができる。

【0038】また、通常、走査信号線駆動回路およびデータ信号線駆動回路は、画像表示装置の辺方向に広く分

散配置されるので、各回路におけるクロック信号線の負荷が大きくなり、それにより、クロック信号の遅延やタイミングずれも大きくなる。したがって、上述のように、タイミングずれを抑える構成のシフトレジスタ回路を画像表示装置に採用することによるメリットは極めて大きくなる。

【0039】請求項7の発明に係る画像表示装置は、上記の課題を解決するために、請求項6の構成において、上記データ信号線駆動回路と上記走査信号線駆動回路とのうち少なくとも一方が、上記画素と同一基板上に形成されていることを特徴としている。

【0040】上記の構成によれば、表示を行うための画素と、画素を駆動するためのデータ信号線駆動回路および走査信号線駆動回路とを、同一基板上に同一工程で製造することができるので、製造コストや実装コストを低減することができると共に、実装良品率を向上させることができる。実装良品率の向上は、装置の信頼性の向上にもつながる。

【0041】請求項8の発明に係る画像表示装置は、上記の課題を解決するために、請求項7の構成において、上記データ信号線駆動回路、上記走査信号線駆動回路、および、上記画素は、それぞれ能動素子を有しており、上記能動素子が、多結晶シリコン薄膜トランジスタであることを特徴としている。

【0042】上記の構成によれば、データ信号線駆動回路、走査信号線駆動回路、および、画素が、多結晶シリコン薄膜トランジスタからなる共通の能動素子を有して構成されているので、これらを同一基板上にほぼ同一の製造工程で容易に得ることができる。

【0043】また、一般的に、多結晶シリコン薄膜トランジスタは、単結晶シリコン薄膜トランジスタや非晶質シリコントランジスタに比べて、特性のバラツキが極めて大きい。しかし、請求項1ないし5のいずれかに記載のシフトレジスタ回路を用いていることにより、このように特性のバラツキが極めて大きい場合でも、タイミングずれのない安定した信号を出力することができる。

【0044】請求項9の発明に係る画像表示装置は、上記の課題を解決するために、請求項8の構成において、上記能動素子が、ガラス基板上に600℃以下のプロセスで形成されていることを特徴としている。

【0045】上記の構成によれば、ガラスの歪み点である600℃以下のプロセス温度で、多結晶シリコン薄膜トランジスタを形成するので、安価でかつ大型化の容易なガラスを基板として用いることができる。その結果、大型の画像表示装置を低コストで製造することが可能になる。

【0046】

【発明の実施の形態】〔実施の形態1〕本発明の実施の一形態について、図1ないし図6に基づいて説明すれば、以下の通りである。本実施形態では、図10で示し

た液晶表示装置（画像表示装置）に適用し得るシフトレジスタ回路について、実施例1～4として以下に説明する。なお、説明の便宜上、各実施例間で共通している部材には同一の部材番号を付記する。

【0047】（実施例1）図1に示すように、本実施例に係るシフトレジスタ回路5は、複数のラッチ回路（ハーフラッチ回路；図中LAT）6からなるブロック（ラッチ回路群）を複数個有して構成されている（同図では一例としてBLK1～3のブロックを示している）。なお、ラッチ回路6の構成は、図14で示した従来と全く同じであるので、ここではその説明を省略する。各ラッチ回路6には、各ブロックに対応して設けられているクロック信号線としての2つのローカルクロック信号線7・8から、ローカルクロック信号LCK・／LCKがそれぞれ入力されている。本実施形態では、上記の2つのローカルクロック信号線7・8は、各ブロック間で相互に接続されている。

【0048】ローカルクロック信号LCKは、一方のグローバルクロック信号線9（基準クロック信号線）からのグローバルクロック信号GCKがクロックバッファ回路（図中CKBF）11を介して供給されるものである。一方、ローカルクロック信号／LCKは、他方のグローバルクロック信号線10（基準クロック信号線）から供給されるグローバルクロック信号／GCKが、上記とは別に設けられたクロックバッファ回路（図中CKBF）11を介して供給されるものである。したがって、上記2つのクロックバッファ回路11・11は、各ブロックに対応して設けられている。

【0049】上記の構成において、グローバルクロック信号線9・10を介して得られるグローバルクロック信号GCK・／GCKに基づいて、クロックバッファ回路11・11は、それぞれローカルクロック信号LCKおよびその反転信号であるローカルクロック信号／LCKを生成し、これをローカルクロック信号線7・8を介して各ラッチ回路6に供給する。

【0050】ラッチ回路6には、スタートパルスSPSが、ローカルクロック信号CLK・／CLKに同期して入力されると共に、順次シフトされる。そして、各ラッチ回路6から出力パルスSk（kは正数）が出力される。

【0051】ここで、本実施例では、ローカルクロック信号線7・8をそれぞれ各ブロック間で相互接続していることにより、各ブロックに対応して配置されているクロックバッファ回路11・11の特性バラツキ（駆動力バラツキ）によって生ずる、ローカルクロック信号LCK・／LCKの遅延や波形歪みのバラツキは平均化され、ローカルクロック信号LCK・／LCKのタイミングずれは無くなる。図2は、ローカルクロック信号LCK・／LCKと、ラッチ回路6からの出力パルスSkを示したものであるが、同図より、ローカルクロック信号

LCK・／LCKの位相が揃い、出力パルスS3～S6のタイミングずれが発生していないことが分かる。特に、ブロック境界でのタイミングずれは見られない。

【0052】したがって、本実施例のように、ローカルクロック信号線7・8をそれぞれ各ブロック間で相互接続してシフトレジスタ回路5を構成することにより、シフトレジスタ回路5の全段に亘って、一定のタイミングで出力パルスを得ることが可能となり、安定な動作が可能となる。

【0053】また、グローバルクロック信号線9・10に直接接続される負荷としては、グローバルクロック信号線9・10自体の負荷と、クロックバッファ回路11・11の入力容量とがあるが、クロックバッファ回路11の数はラッチ回路6の数に比べて著しく少なく、クロックバッファ回路11に関する負荷はほとんど無視できる。したがって、本実施形態の構成により、グローバルクロック信号線9・10の負荷を軽減することができるという効果もある。

【0054】（実施例2）図3は、本実施例に係るシフトレジスタ回路5の構成例を示したブロック図である。本実施例では、図1の構成において、2本のローカルクロック信号線7・8（第1の信号線・第2の信号線）を、入出力が互いに逆の関係にある2個のインバータ回路（反転回路）12・13を並列配置して互いに接続した構成となっている。このようなインバータ回路12・13は、各ブロックごとに設けられている。

【0055】このような構成では、2個のローカルクロック信号LCK・／LCKは、インバータ回路12・13によって常に互いに逆位相となるように補償し合い、これによって、常に互いに逆位相になるように駆動される。したがって、実施例1の構成による効果に加えて、安定したローカルクロック信号LCK・／LCKを得て、これらを安定してラッチ回路6に供給することができる。

【0056】（実施例3）図4は、本実施例に係るシフトレジスタ回路5の構成例を示したブロック図である。本実施例では、図1の構成における2個のクロックバッファ回路11・11を、それぞれバッファ回路（図中CKBF1）14およびバッファ回路（図中CKBF2）15で構成している。ここで、バッファ回路14は、図1のクロックバッファ回路11と同様、単に増幅機能のみを有しているのに対し、バッファ回路15は、増幅機能に加えて反転機能をも有している。また、グローバルクロック信号線としては、グローバルクロック信号線9の1本のみ設ける構成であり、グローバルクロック信号線9が2個のバッファ回路14・15に接続されている。

【0057】つまり、この構成では、グローバルクロック信号GCKをバッファ回路14にて増幅してローカルクロック信号LCKを得ていると共に、同じグローバル



クロック信号GCKをバッファ回路15にて増幅かつ位相を反転してローカルクロック信号/LCKを得ている。

【0058】このように、反転機能をも有するバッファ回路15を設けることにより、グローバルクロック信号GCKと位相の反転したグローバルクロック信号/GCKを供給するグローバルクロック信号線を設けなくても済み、グローバルクロック信号線の本数を1本とすることができる。これにより、信号線数(或いは、端子数)を削減して、信号線の占有面積を削減することができる。その結果、実施例1の構成による効果に加えて、装置の小型化および低コスト化を図ることができる。

【0059】(実施例4)図5は、本実施例に係るシフトレジスタ回路5の構成例を示したブロック図である。本実施例では、図4の構成において、さらに、外部入力 of クロック信号を所望の電圧に昇圧する昇圧手段としての2個のレベルシフト回路(図中LSF)16・16と、一方のレベルシフト回路16からの出力信号を増幅してグローバルクロック信号線9に供給する駆動バッファ回路としてのバッファ回路(図中BF1)17と、他方のレベルシフト回路16からの出力信号を増幅してラッチ回路6に供給するバッファ回路(図中BF2)18とをそれぞれ設けている。上記の各レベルシフト回路16およびバッファ回路17・18は、シフトレジスタ回路5と同一基板上に形成されている。ここで、レベルシフト回路16の構成例を図6に示す。

【0060】図6に示すように、本実施例のレベルシフト回路16は、Pチャネル型のトランジスタ19・20と、Nチャネル型のトランジスタ21・22とで構成されている。トランジスタ19・21、および、トランジスタ20・22は、それぞれ直列に接続されている。そして、トランジスタ21・22の各ゲートに、互いに位相が逆向きの関係にあるクロック信号が外部からそれぞれ入力されるようになっている。

【0061】トランジスタ21・22のゲート以外の端子のうちの一つはともに接地されている。また、トランジスタ21の残りの端子は、トランジスタ20のゲートに接続されている一方、トランジスタ22の残りの端子は、トランジスタ19のゲートに接続されていると共に、レベルシフト回路16自体の出力端子となっている。また、トランジスタ19・20における残りの端子には、ともに電源電圧 $V_{cc}$ が供給されるようになっている。

【0062】このような構成では、入力信号の電圧とシフトレジスタ回路5の動作電圧とが異なる場合にも対応することが可能になり、例えば、5V振幅の入力信号で、1.5V駆動のシフトレジスタ回路5を実現することが可能となる。

【0063】特に、入力信号の電圧とシフトレジスタ回路5の駆動電圧とが異なる場合には、電圧レベルを変換

するレベルシフト回路16が必要となり、その後に、負荷の大きい信号線(グローバルクロック信号線9)を駆動するために、レベルシフト回路16の直後にバッファ回路17を配置しなければならない。

【0064】ここで、従来の技術の欄で説明したように、バッファ回路を一箇所に集中的に配置した場合には、回路の巨大化が生じやすい。また、バッファ回路をブロックごとに分散配置した場合には、バッファ回路毎の特性バラツキに起因して、ブロック毎にローカルクロック信号LCK・/LCKの信号遅延やタイミングずれが生じやすい。

【0065】しかし、本実施例では、バッファ回路17・18に加えて、バッファ回路14・15をブロック毎に分散して設けているので、バッファ回路17・18を駆動力の大きいもので構成する必要がなく、上記回路の巨大化の問題を解消することができる。また、実施例1〜3と同様、ローカルクロック信号線7・8を、各ブロック間で互いに接続していることにより、バッファ回路毎の特性バラツキに起因する、ローカルクロック信号LCK・/LCKの遅延やタイミングずれの発生を抑えることができる。

【0066】したがって、レベルシフト回路16およびバッファ回路17・18を配置した場合でも、ローカルクロック信号線7・8を各ブロック間で互いに接続している構成が有効となり、シフトレジスタ回路5の全段に互って、一定のタイミングで安定した出力パルスを確実に得ることができる。

【0067】また、レベルシフト回路16を備えていることで入力信号の低電圧化を図ることができるので、シフトレジスタ回路5全体として低消費電力化を図ることができる。

【0068】〔実施の形態2〕本発明の実施の他の形態について、図7ないし図13に基づいて説明すれば、以下の通りである。本実施形態では、まず、実施の形態1で説明した各シフトレジスタ回路5を適用し得る画像表示装置について、液晶表示装置を例に挙げ、実施例5および6として説明する。

【0069】(実施例5)本実施例の液晶表示装置は、図10に示すように、画素アレイ1と、データ信号線駆動回路2と、走査信号線駆動回路3とからなっている。画素アレイ1には、互いに交差する多数のデータ信号線 $SL_1 \cdot SL_2 \cdots$ と多数の走査信号線 $GL_1 \cdot GL_2 \cdots$ とが設けられており、隣接する2つのデータ信号線 $SL_i \cdot SL_{i+1}$  ( $i$ は正数)と、隣接する2つの走査信号線 $GL_j \cdot GL_{j+1}$  ( $j$ は正数)とで包囲された部分に、画素(図中、PIX)4…がマトリクス状に設けられている。

【0070】データ信号線駆動回路2は、クロック信号CKS等のタイミング信号に同期して入力された映像信号DATをサンプリングし、必要に応じて増幅して各デ

ータ信号線SL<sub>i</sub>に書き込むようになっている。一方、走査信号線駆動回路3は、クロック信号CKG等のタイミング信号に同期して走査信号線GL<sub>i</sub>を順次選択し、画素4内に設けられた後述する画素トランジスタSWの開閉を制御するようになっている。これにより、各データ信号線SL<sub>i</sub>に出力された(データ)は、各画素4に書き込まれると共に保持される。

【0071】なお、画素4の構成(図11参照)については、従来と同じであるのでその説明を省略する。また、画素4のトランジスタSWとしては薄膜トランジスタが用いられ、データ信号線駆動回路2や走査信号線駆動回路3にも、薄膜トランジスタが用いられている。

【0072】本実施例の液晶表示装置のデータ信号線駆動回路2および走査信号線駆動回路3は、図12中のシフトレジスタ回路61、および/または、図13中のシフトレジスタ回路61が、上述の実施例1~4のいずれかのシフトレジスタ回路5で構成されたものとなっている。

【0073】実施例1~4で説明したシフトレジスタ回路5は、いずれも、ローカルクロック信号LCK・/LCKの遅延やタイミングずれを抑えることができるので、このようなシフトレジスタ回路5をデータ信号線駆動回路2や走査信号線駆動回路3に適用することにより、データ信号線駆動回路2や走査信号線駆動回路3の全体に互って、安定して一定のタイミングでシフトレジスタ出力信号が出力される。したがって、例えばデータ信号線駆動回路2内のサンプリング回路での映像信号の取り込み(サンプリング)にタイミングずれが生じることがない。その結果、ブロック境界での表示不良(ブロック境界で画像が不連続になる等)が発生しなくなり、表示品位の向上した液晶表示装置を提供することができる。

【0074】(実施例6)本実施例の液晶表示装置は、図7に示すように、実施例5の液晶表示装置において、データ信号線駆動回路2と、走査信号線駆動回路3と、画素(図中PIX)4とが同一基板23上に構成された、いわゆるドライバモノリシック構造を呈するものであり、外部コントロール回路24からの各種信号と、外部電源回路25からの駆動電源とによって駆動される。上記基板23は、絶縁性を有する例えばガラスで構成される。

【0075】外部コントロール回路24は、データ信号線駆動回路2に与えるためのタイミング信号、すなわち、クロック信号CKS、スタートパルスSPS、映像信号DAT等を出力するようになっている。また、外部コントロール回路24は、走査信号線駆動回路3に与えるためのタイミング信号、すなわちクロック信号CKG、スタートパルスSPG、同期信号GPS等を出力するようになっている。

【0076】外部電源回路25は、走査信号線駆動回路

3に与える高電位側の電源電圧V<sub>GH</sub>と低電位側の電源電圧V<sub>GL</sub>とを出力すると共に、データ信号線駆動回路2に与える高電位側の電源電圧V<sub>GH</sub>と低電位側の電源電圧V<sub>GL</sub>とを出力するようになっている。また、外部電源回路25は、液晶表示装置の共通電極に与える共通電位COMを出力するようになっている。

【0077】このように、データ信号線駆動回路2および走査信号線駆動回路3を画素4と同一基板23上に(モノリシックに)同一工程で形成することにより、これらを別々に形成して実装する場合よりも、装置の製造コストや実装コストの低減を図ることができる。また、これにより、実装良品率を向上させることができるので、装置の信頼性を向上させることができる。

【0078】また、データ信号線駆動回路2および走査信号線駆動回路3は、画面(表示領域)の辺方向の長さとはほぼ同じ長さで、上記辺方向に広く分散して配置されるので、クロック信号線を長く形成する必要がある。この場合、クロック信号線の負荷が大きくなり、クロック信号の遅延やタイミングずれも大きくなる。また、クロック信号線が極めて長くなると、各駆動回路を構成するトランジスタ特性のバラツキが大きい場合に、信号遅延の絶対値も大きくなり、特性バラツキの影響が大きく現れることになる。

【0079】しかし、本実施例の液晶表示装置では、信号遅延や出力パルスのタイミングずれを抑えることができる実施例1~4のいずれかのシフトレジスタ回路5をデータ信号線駆動回路2および走査信号線駆動回路3に適用していることにより、たとえトランジスタの特性バラツキが大きく現れるような場合でも、配線遅延等の影響を回避することができる。

【0080】ところで、前記の薄膜トランジスタは、図8に示すような順スタガー(トップゲート)構造を有する多結晶シリコン薄膜トランジスタである。この構造においては、例えばガラスからなる基板23上に汚染防止用のシリコン酸化膜31が堆積されており、その上に電界効果トランジスタが形成されている。

【0081】上記の薄膜トランジスタは、シリコン酸化膜31上に形成されたチャネル領域32a、ソース領域32bおよびドレイン領域32cからなる多結晶シリコン薄膜32と、さらにその上に形成されたゲート絶縁膜33、ゲート電極34、層間絶縁膜35および金属配線36・36により構成されている。

【0082】上記構成の多結晶シリコン薄膜トランジスタを用いることによって、実用的な駆動能力を有するデータ信号線駆動回路2および走査信号線駆動回路3を、画素アレイ1と同一基板上にほぼ同一の製造工程で容易に形成することができる。また、多結晶シリコン薄膜トランジスタは、単結晶シリコントランジスタ(MOSTランジスタ)に比べて、極めて駆動力の高い特性が得られる反面、特性のバラツキが極めて大きい。しかし、デ

10

20

30

40

50

ータ信号線駆動回路2および走査信号線駆動回路3を、実施例1~4のシフトレジスタ回路5によって構成していることにより、特性のバラツキによって生ずる信号遅延やタイミングずれを抑えることができるので、装置の表示品位を確実に向上させることができる。

【0083】なお、本実施形態では、順スタガー構造の薄膜トランジスタについて説明したが、これに限定するものではない。データ信号線駆動回路2および走査信号線駆動回路3に適用し得る薄膜トランジスタとしては、逆スタガー構造等の他の構造のものであってよい。また、単結晶シリコン薄膜トランジスタ、非晶質シリコン薄膜トランジスタ、または、他の材料からなる薄膜トランジスタも適用することが可能である。

【0084】次に、上記多結晶シリコン薄膜トランジスタの製造方法について、以下に説明する。図9(a)ないし図9(k)は、上記薄膜トランジスタの製造過程における断面図をそれぞれ示している。なお、本実施形態では、摂氏600°C(ガラスの歪み点)以下で多結晶シリコン薄膜トランジスタを製造している。

【0085】まず、図9(a)に示す基板23上に、非晶質シリコン薄膜(a-Si)32'を堆積させる(図9(b))。次いで、その非晶質シリコン薄膜32'にエキシマレーザを照射することにより、多結晶シリコン薄膜32を形成する(図9(c))。この多結晶シリコン薄膜32を所望の形状にパターンニングし(図9(d))、その上に二酸化シリコンからなるゲート絶縁膜33を形成する(図9(e))。

【0086】さらに、ゲート絶縁膜33上にゲート電極34をアルミニウム等で形成する(図9(f))。その後、多結晶シリコン薄膜32においてソース領域32bおよびドレイン領域32cとなるべき部分に不純物(n型領域には磷、p型領域には硼素)を注入する(図9(g)、図9(h))。n型領域に不純物を注入する際には、p型領域をレジスト38でマスクし(図9(g))、p型領域に不純物を注入する際には、n型領域をレジスト38でマスクする(図9(h))。

【0087】そして、二酸化シリコン、窒化シリコン等からなる層間絶縁膜35を堆積させ(図9(i))、層間絶縁膜35にコンタクトホール35a…を形成する(図9(j))。最後に、コンタクトホール35a…にアルミニウム等の金属配線36…を形成する(図9(k))。

【0088】上記のプロセスにおける最高温度は、ゲート絶縁膜33を形成するときの600°Cである。したがって、絶縁性基板としては、耐熱性が極めて高い高価な石英基板を用いる必要がなくなり、米国コーニング社の1737ガラスのような安価な高耐熱性ガラスを使用することができる。それゆえ、液晶表示装置を安価に提供することが可能になる。

【0089】なお、透過型液晶表示装置の場合は、上記

のようにして作製された薄膜トランジスタの上に、さらに別の層間絶縁膜を介して、透明電極を形成することになる。一方、反射型液晶表示装置の場合は、上記薄膜トランジスタの上に別の層間絶縁膜を介して反射電極を形成することになる。

【0090】上記のように摂氏600°C以下での製造プロセスを採用することにより、安価で大面積化が可能なガラス基板を用いて多結晶シリコン薄膜トランジスタを形成することが可能となる。それゆえ、液晶表示装置の低コスト化および大型化(大面積化)を容易に実現することができる。

【0091】以上、本発明の実施例について幾つか説明したが、本発明はこれらの実施例に限定されるものではなく、上記実施例の組み合わせによる他の構成についても、同様に当てはまるものである。

【0092】

【発明の効果】請求項1の発明に係るシフトレジスタ回路は、以上のように、クロック信号に同期してパルス信号を伝送する複数のラッチ回路と、基準クロック信号線を介して得られる基準クロック信号に基づいてクロック信号を生成すると共に、生成したクロック信号をクロック信号線を介して各ラッチ回路に供給するクロックバッファ回路とを備え、複数のラッチ回路からなるラッチ回路群が複数構成されており、上記クロックバッファ回路が各ラッチ回路群に対応して設けられたシフトレジスタ回路であって、上記クロック信号線は、各ラッチ回路群間で相互に接続されている構成である。

【0093】それゆえ、クロック信号線は、各ラッチ回路群間で相互に接続されているので、各ラッチ回路群間でクロック信号が互いに加算され平均化される。これにより、各ラッチ回路群毎に、クロックバッファ回路の特性のバラツキによって生じるクロック信号の遅延および波形歪みのバラツキが平均化される。

【0094】したがって、全段に互ってほぼ同一波形のクロック信号を得ることができると共に、クロック信号のタイミングずれ(特に、各ラッチ回路群間の境界におけるタイミングずれ)を確実に抑えることができる。その結果、シフトレジスタ回路全段に互って、一定のタイミングで出力される安定した出力パルスを得ることができるという効果を奏する。

【0095】請求項2の発明に係るシフトレジスタ回路は、以上のように、請求項1の構成において、上記クロック信号線は、互いに位相が逆となるクロック信号をそれぞれ伝送する第1および第2の信号線からなり、上記第1の信号線と上記第2の信号線とは、入出力の向きが互いに逆向きとなるように、かつ、並列に配置された2個のインバータ回路で接続されている構成である。

【0096】それゆえ、第1および第2の信号線間に設けられた2個のインバータ回路によって、第1および第2の信号線間で、2個のクロック信号が常に互いに逆位

相となるように補償し合う。したがって、請求項1の構成による効果に加えて、クロック信号とその反転信号とを確実にかつ常に安定して得ることができるという効果を奏する。

【0097】請求項3の発明に係るシフトレジスタ回路は、以上のように、請求項1または2の構成において、上記クロックバッファ回路は、2個のバッファ回路からなり、上記2個のバッファ回路のうち一方が、インバータ回路を兼ねている構成である。

【0098】それゆえ、基準クロック信号線を各バッファ回路に対応して設けなくても済み、各バッファ回路に共通して1本だけ設けるようにすることが可能になる。このように、基準クロック信号線の本数（入力信号の数）を削減できるので、請求項1または2の構成による効果に加えて、装置の小型化および低コスト化を図ることができるという効果を奏する。

【0099】請求項4の発明に係るシフトレジスタ回路は、以上のように、請求項1ないし3のいずれかの構成に加えて、外部からの入力信号を電圧シフトして基準クロック信号線に供給する昇圧手段をさらに備えている構成である。

【0100】それゆえ、請求項1ないし3のいずれかの構成による効果に加えて、入力信号の電圧とシフトレジスタ回路の動作電圧とが異なる場合にも対応することができるという効果を奏する。また、昇圧手段を備えることで入力信号の低電圧化を図ることができるので、シフトレジスタ回路全体として低消費電力化を図ることができるという効果を併せて奏する。

【0101】請求項5の発明に係るシフトレジスタ回路は、以上のように、請求項4の構成に加えて、上記昇圧手段からの出力信号に基づいて基準クロック信号線を駆動する駆動バッファ回路をさらに備え、上記昇圧手段および上記駆動バッファ回路と同一基板上に形成されている構成である。

【0102】それゆえ、基準クロック信号線は、シフトレジスタ回路と同一基板上の駆動バッファによって駆動されるので、各ラッチ回路群ごとに信号遅延が生じやすくなるが、クロック信号線が各ラッチ回路群間で相互に接続されている構成（請求項1の構成）により、クロック信号の信号遅延やタイミングずれの発生が抑えられる。したがって、昇圧手段および駆動バッファ回路をシフトレジスタ回路と同一基板上に備えた構成であっても、シフトレジスタ回路全般に亘って、一定のタイミングで安定した出力パルスを確実に得ることができるという効果を奏する。

【0103】請求項6の発明に係る画像表示装置は、以上のように、マトリクス状に配置された複数の画素と、データ信号線を介して各画素に映像データを供給するデータ信号線駆動回路と、走査信号線を介して各画素に走査信号を供給する走査信号線駆動回路とを備えた画像表

示装置において、上記データ信号線駆動回路および上記走査信号線駆動回路の少なくとも一方が、請求項1ないし5のいずれかに記載のシフトレジスタ回路を有している構成である。

【0104】それゆえ、請求項1ないし5のいずれかに記載のシフトレジスタ回路を、データ信号線駆動回路および/または走査信号線駆動回路に適用しているので、クロック信号と映像データまたは走査信号とのタイミングずれを抑えることができる。これにより、データ信号線駆動回路および/または走査信号線駆動回路から、一定のタイミングで映像データおよび/または走査信号を安定して出力させることができ、その結果、良好な画像を表示させることができるという効果を奏する。

【0105】請求項7の発明に係る画像表示装置は、以上のように、請求項6の構成において、上記データ信号線駆動回路と上記走査信号線駆動回路とのうち少なくとも一方が、上記画素と同一基板上に形成されている構成である。

【0106】それゆえ、表示を行うための画素と、画素を駆動するためのデータ信号線駆動回路および走査信号線駆動回路とを、同一基板上に同一工程で製造することができるので、請求項6の構成による効果に加えて、製造コストや実装コストを低減することができると共に、実装良品率を向上させることができるという効果を奏する。また、実装良品率の向上により、装置の信頼性を向上させることができるという効果を併せて奏する。

【0107】請求項8の発明に係る画像表示装置は、以上のように、請求項7の構成において、上記データ信号線駆動回路、上記走査信号線駆動回路、および、上記画素は、それぞれ能動素子を有しており、上記能動素子が、多結晶シリコン薄膜トランジスタである構成である。

【0108】それゆえ、データ信号線駆動回路、走査信号線駆動回路、および、画素が、多結晶シリコン薄膜トランジスタからなる共通の能動素子を有して構成されているので、請求項7の構成による効果に加えて、これらを同一基板上にほぼ同一の製造工程で容易に得ることができるという効果を奏する。

【0109】また、一般的に、多結晶シリコン薄膜トランジスタは、単結晶シリコン薄膜トランジスタや非晶質シリコントランジスタに比べて、特性のバラツキが極めて大きい。しかし、請求項1ないし5のいずれかに記載のシフトレジスタ回路を用いていることにより、このように特性のバラツキが極めて大きい場合でも、タイミングずれのない安定した信号を出力することができるという効果を併せて奏する。

【0110】請求項9の発明に係る画像表示装置は、以上のように、請求項8の構成において、上記能動素子が、ガラス基板上に600℃以下のプロセスで形成されている構成である。

10

20

30

40

50

【0111】それゆえ、ガラスの歪み点である600℃以下のプロセス温度で、多結晶シリコン薄膜トランジスタを形成するので、安価でかつ大型化の容易なガラスを基板として用いることができる。その結果、請求項8の構成による効果に加えて、大型の画像表示装置を低コストで製造することができるという効果を奏する。

【図面の簡単な説明】

【図1】本発明の一実施例に係るシフトレジスタ回路の構成例を示すブロック図である。

【図2】上記シフトレジスタ回路における各信号波形を示すタイミングチャートである。

【図3】本発明の他の実施例に係るシフトレジスタ回路の構成例を示すブロック図である。

【図4】本発明のさらに他の実施例に係るシフトレジスタ回路の構成例を示すブロック図である。

【図5】本発明のさらに他の実施例に係るシフトレジスタ回路の構成例を示すブロック図である。

【図6】上記シフトレジスタ回路と同一基板上で設けられるレベルシフト回路の構成を示す回路図である。

【図7】本発明の一実施例に係る画像表示装置の概略の構成を示すブロック図である。

【図8】本発明の画像表示装置を構成する多結晶シリコン薄膜トランジスタの断面構造を示す断面図である。

【図9】(a)ないし(k)は、上記多結晶シリコン薄膜トランジスタの製造工程を示す断面図である。

【図10】本発明の一実施例に係る画像表示装置および従来の画像表示装置に共通の構成を示すブロック図である。

【図11】上記画像表示装置を構成する画素の構成を示す回路図である。

【図12】上記画像表示装置のデータ信号線駆動回路の構成を示す回路図である。

【図13】上記画像表示装置の走査信号線駆動回路の構成を示す回路図である。

【図14】上記データ信号線駆動回路および/または走査信号線駆動回路を構成するシフトレジスタ回路のラッチ回路の構成を示す回路図である。

【図15】従来のシフトレジスタ回路の一構成例を示す

ブロック図である。

【図16】上記シフトレジスタ回路における各信号波形を示すタイミングチャートである。

【図17】上記シフトレジスタ回路の他の構成例を示すブロック図である。

【図18】上記シフトレジスタ回路における各信号波形を示すタイミングチャートである。

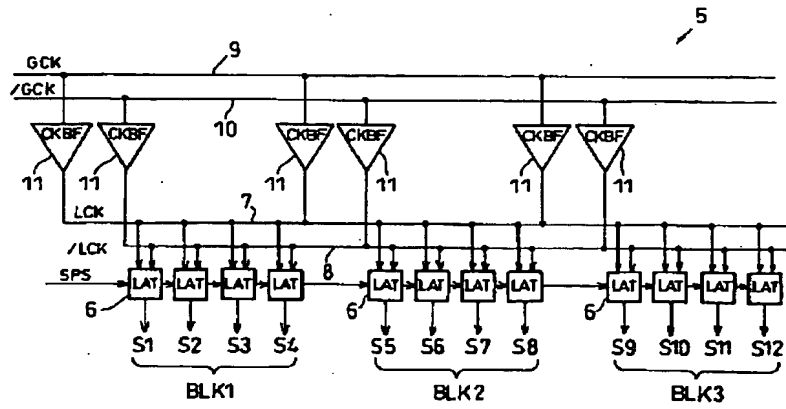
【図19】上記シフトレジスタ回路のさらに他の構成例を示すブロック図である。

【図20】上記シフトレジスタ回路における各信号波形を示すタイミングチャートである。

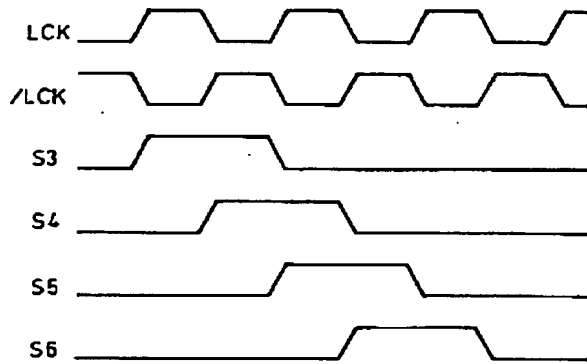
【符号の説明】

2	データ信号線駆動回路
3	走査信号線駆動回路
4	画素
5	シフトレジスタ回路
6	ラッチ回路
7	ローカルクロック信号線(クロック信号線、第1の信号線)
8	ローカルクロック信号線(クロック信号線、第2の信号線)
9・10	グローバルクロック信号線(基準クロック信号線)
11	クロックバッファ回路
12・13	インバータ回路
14・15	バッファ回路
16	レベルシフト回路(昇圧手段)
17・18	バッファ回路(駆動バッファ回路)
23	基板
30	SW
	トランジスタ
	S1・S2・…
	出力パルス(パルス信号)
	SL1・SL2・…
	データ信号線
	GL1・GL2・…
	走査信号線
	LCK・/LCK
	ローカルクロック信号(クロック信号)
	GCK・/GCK
	グローバルクロック信号(基準クロック信号)
	BLK1・BLK2・…
	ブロック(ラッチ回路群)

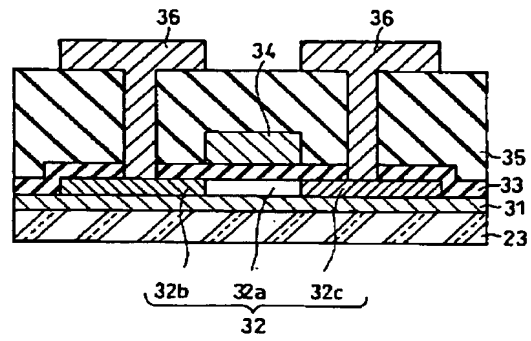
【図 1】



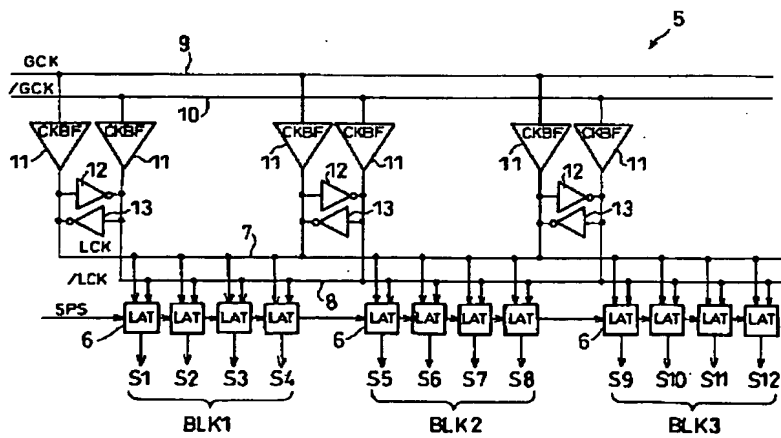
【図 2】



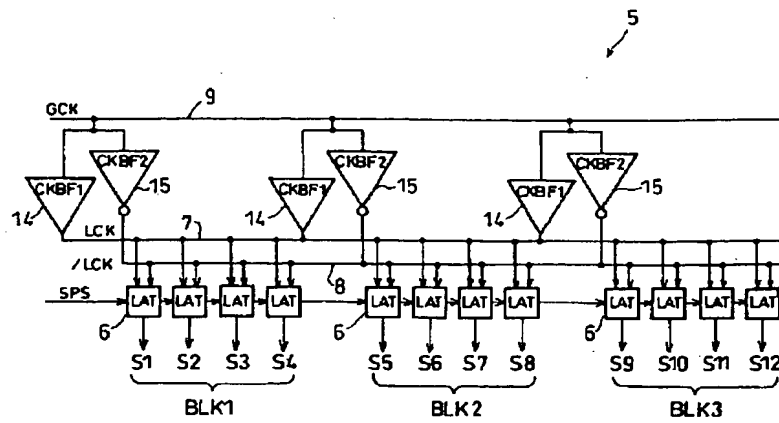
【図 8】



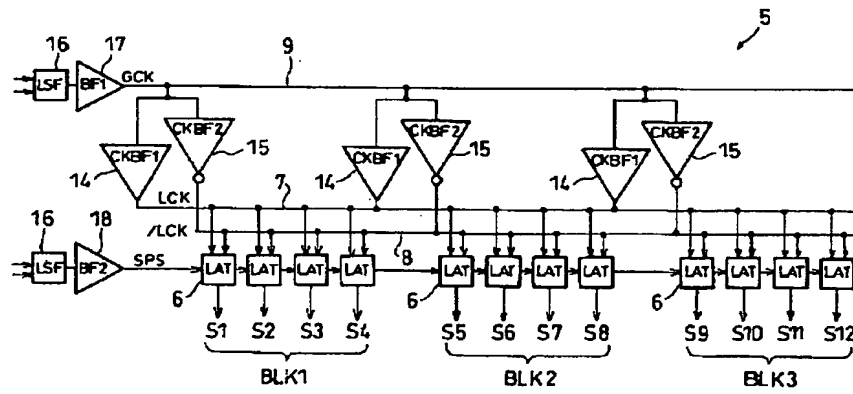
【図 3】



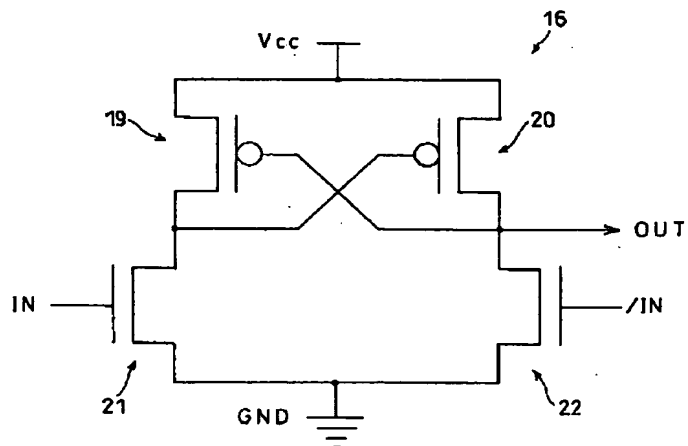
【図4】



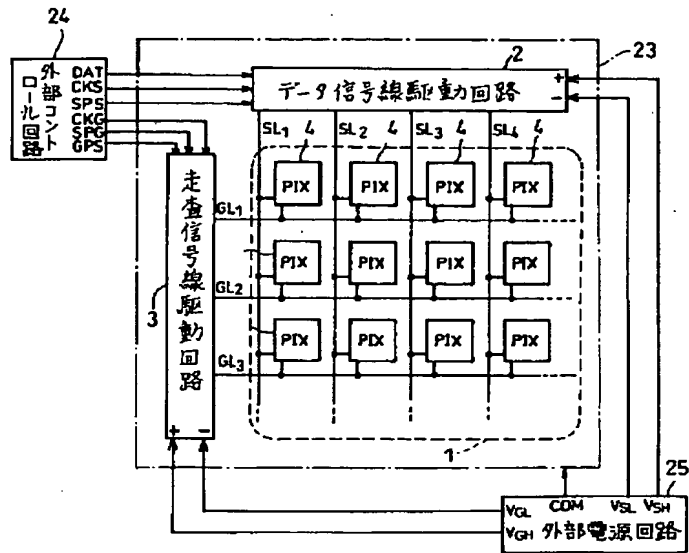
【図5】



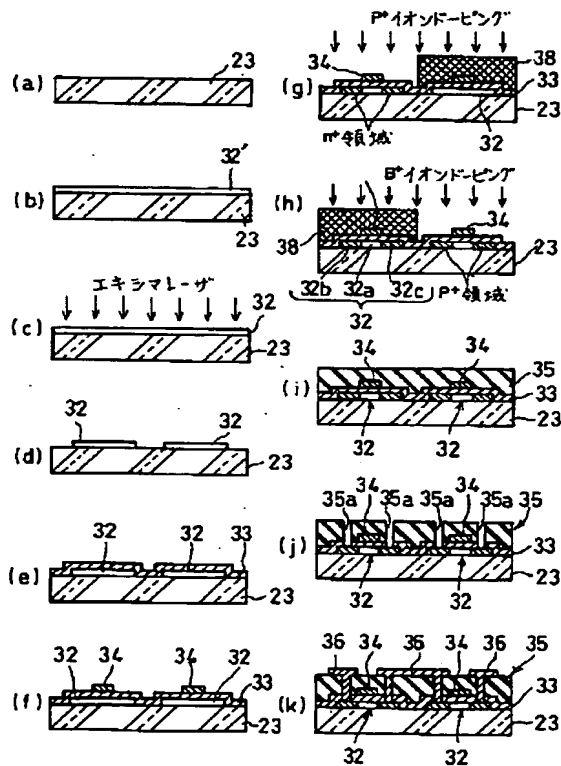
【図6】



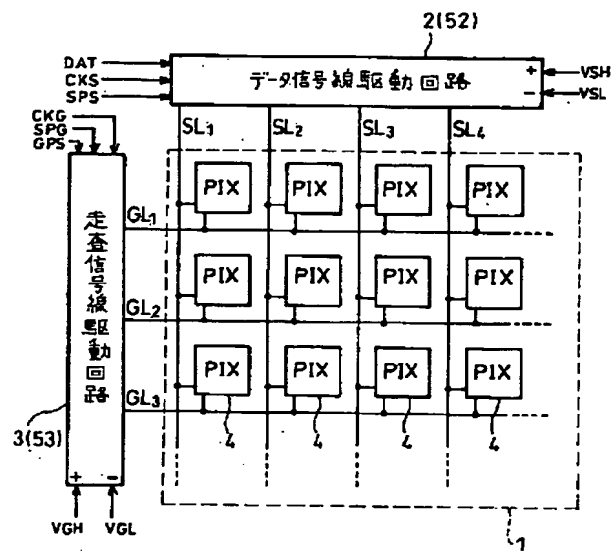
【図 7】



【図 9】

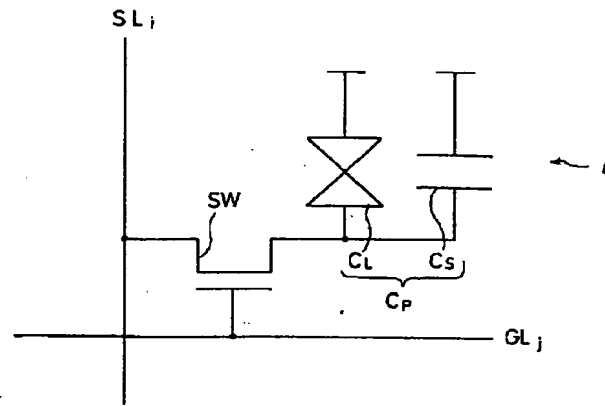


【図 10】

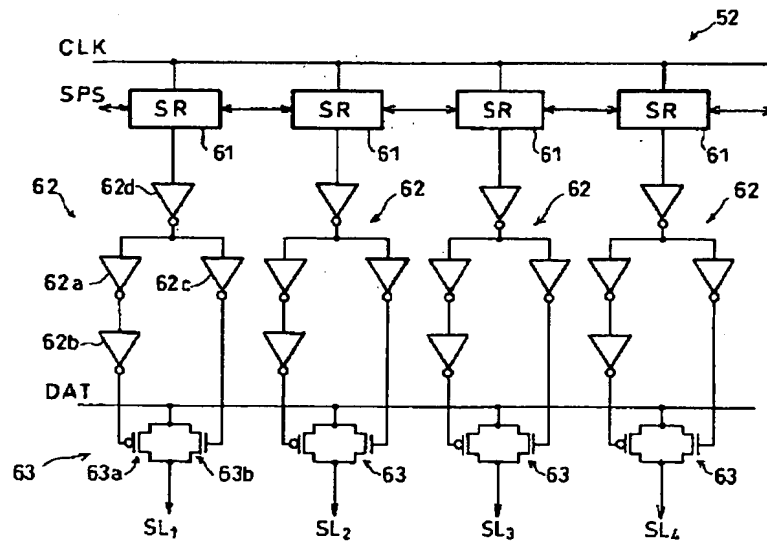




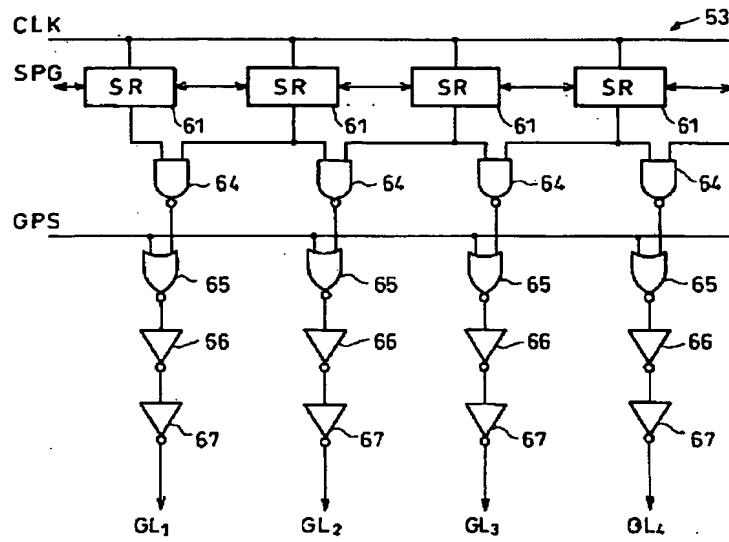
【図11】



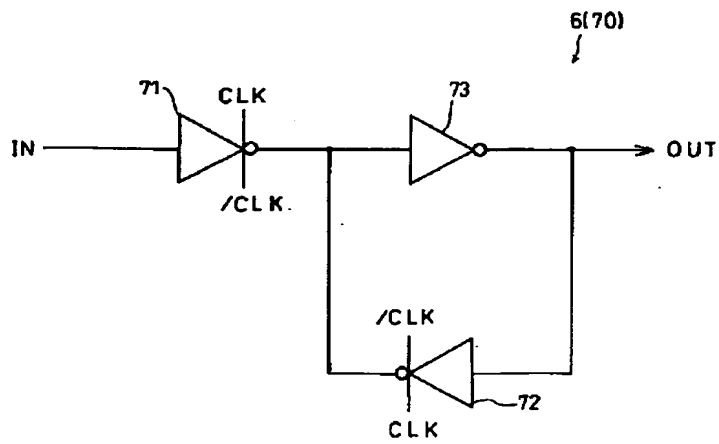
【図12】



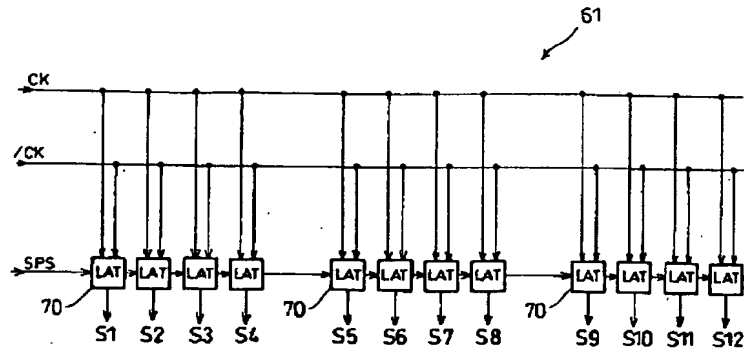
【図13】



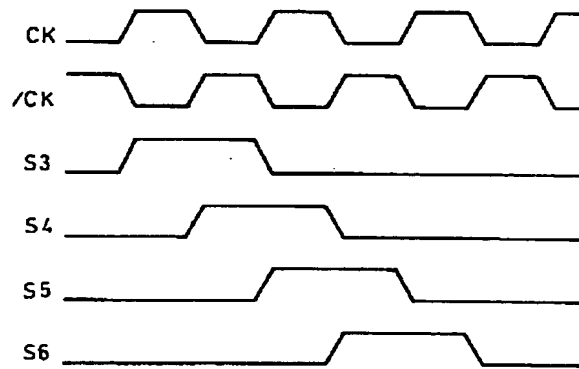
【図14】



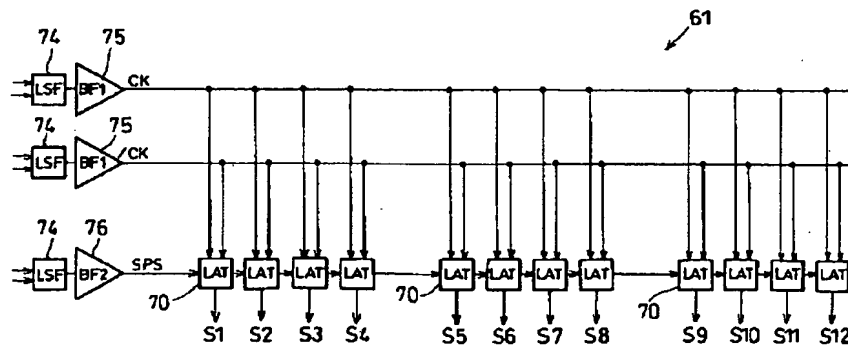
【図15】



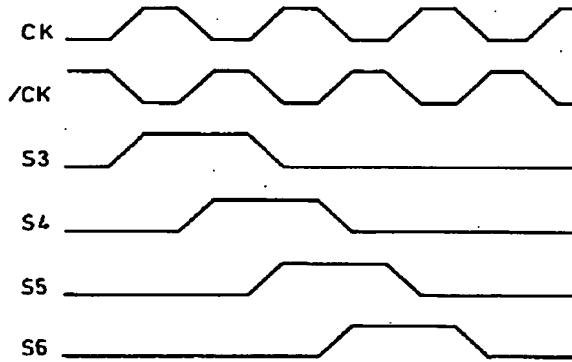
【図16】



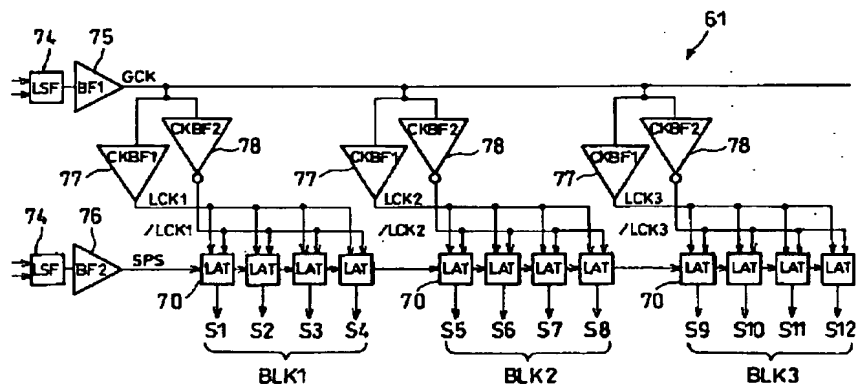
【図17】



【図18】



【図19】



【図20】

